

日 本 国 特 許 庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日                      2 0 0 3 年 1 2 月 2 5 日  
Date of Application:

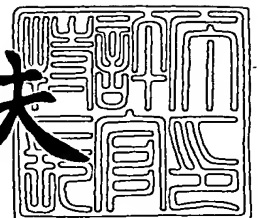
出 願 番 号                      特 願 2 0 0 3 - 4 2 9 8 2 8  
Application Number:  
[ST. 10/C] :                      [ J P 2 0 0 3 - 4 2 9 8 2 8 ]

出 願 人                      株式会社デンソー  
Applicant(s):

2 0 0 4 年    1 月 3 0 日

特許庁長官  
Commissioner,  
Japan Patent Office

今 井 康 夫



出証番号    出証特 2 0 0 4 - 3 0 0 4 6 0 8

【書類名】 特許願  
【整理番号】 N030842  
【提出日】 平成15年12月25日  
【あて先】 特許庁長官殿  
【国際特許分類】 H03H 17/02  
【発明者】  
    【住所又は居所】 愛知県刈谷市昭和町 1 丁目 1 番地 株式会社デンソー内  
    【氏名】 牧野 貴紀  
【発明者】  
    【住所又は居所】 愛知県刈谷市昭和町 1 丁目 1 番地 株式会社デンソー内  
    【氏名】 青山 正紀  
【特許出願人】  
    【識別番号】 000004260  
    【氏名又は名称】 株式会社デンソー  
【代理人】  
    【識別番号】 100071135  
    【住所又は居所】 名古屋市中区栄四丁目 6 番 1 5 号 名古屋あおば生命ビル  
    【弁理士】  
    【氏名又は名称】 佐藤 強  
    【電話番号】 052-251-2707  
    【ファクシミリ番号】 052-263-4634  
【選任した代理人】  
    【識別番号】 100119769  
    【弁理士】  
    【氏名又は名称】 小川 清  
【先の出願に基づく優先権主張】  
    【出願番号】 特願2003- 59879  
    【出願日】 平成15年 3月 6日  
【手数料の表示】  
    【予納台帳番号】 008925  
    【納付金額】 21,000円  
【提出物件の目録】  
    【物件名】 特許請求の範囲 1  
    【物件名】 明細書 1  
    【物件名】 図面 1  
    【物件名】 要約書 1  
    【包括委任状番号】 9200169  
    【包括委任状番号】 0217337

**【書類名】 特許請求の範囲****【請求項 1】**

2相クロックパルスを構成する第1相クロックパルス( $\phi 1$ )と第2相クロックパルス( $\phi 2$ )とにより動作するスイッチトキャパシタ回路で構成されたローパスフィルタであって、該ローパスフィルタは、

第1相クロックパルス( $\phi 1$ )がON、第2相クロックパルス( $\phi 2$ )がOFFの状態においては、第1のキャパシタは入力電圧まで充電され、第2のキャパシタは電極間がゼロVまで放電され、第3のキャパシタは充放電しない動作を行ない、

続く第1相クロックパルス( $\phi 1$ )、第2相クロックパルス( $\phi 2$ )が共にOFFの状態においては、前記第1、第2、第3のキャパシタは何れも充放電しない動作を行ない、

続く第1相クロックパルス( $\phi 1$ )がOFF、第2相クロックパルス( $\phi 2$ )がONの状態においては、前記第2、第3のキャパシタは並列に接続され、前記第1のキャパシタは電極間がゼロVまで放電してその放電電流は並列接続された第2、第3のキャパシタを充電する動作を行ない、

続く第1相クロックパルス( $\phi 1$ )、第2相クロックパルス( $\phi 2$ )が共にOFFの状態においては、前記第1、第2、第3のキャパシタは何れも充放電しない動作を行ない、その後は前記最初の動作状態に戻る動作を行なうように構成されたものであり、

前記2相クロックパルスの第1相クロックパルス( $\phi 1$ )とそれに続く第2相クロックパルス( $\phi 2$ )との時間間隔を、第1相クロックパルス( $\phi 1$ )により導通するアナログスイッチと第2相クロックパルス( $\phi 2$ )により導通するアナログスイッチとが同時に導通する状態が生じない範囲でできるだけ狭めてあることを特徴とするスイッチトキャパシタ回路で構成されたローパスフィルタ。

**【請求項 2】**

スイッチトキャパシタ回路で構成されたローパスフィルタであって、

演算増幅器と、第1、第2、第3のキャパシタと、2相クロックパルスの第1相クロックパルス( $\phi 1$ )がONの期間中のみ導通する第1、第2、第3のアナログスイッチと、2相クロックパルスの第2相クロックパルス( $\phi 2$ )がONの期間中のみ導通する第4、第5、第6のアナログスイッチとを具備し、

前記演算増幅器(OP1)は単一の電源電圧(Vd)により動作する演算増幅器であって、その非反転入力端子には該電源電圧(Vd)の約1/2の基準電圧(Vref)が印加され、第1のアナログスイッチ(S11)は入力端子(N0)と相互接続ノードN1との間に、第4のアナログスイッチ(S24)は相互接続ノードN1と演算増幅器(OP1)の非反転入力端子との間に、第1のキャパシタ(C1)は相互接続ノードN1と相互接続ノードN2との間に、第2のアナログスイッチ(S12)は相互接続ノードN2と演算増幅器(OP1)の非反転入力端子との間に、第5のアナログスイッチ(S25)は相互接続ノードN2と演算増幅器(OP1)の反転入力端子との間に、第2のキャパシタ(C2)は相互接続ノードN2と相互接続ノードN3との間に、第3のキャパシタ(C3)は演算増幅器(OP1)の反転入力端子と出力端子との間に、第3のアナログスイッチ(S13)は相互接続ノードN3と演算増幅器(OP1)の非反転入力端子との間に、第6のアナログスイッチ(S26)は相互接続ノードN3と演算増幅器(OP1)の出力端子との間にそれぞれ接続され、演算増幅器(OP1)の出力端子と非反転入力端子との間より出力信号を取り出すように構成されており、

前記2相クロックパルスの第1相クロックパルス( $\phi 1$ )とそれに続く第2相クロックパルス( $\phi 2$ )との時間間隔は、第1相クロックパルス( $\phi 1$ )により導通するアナログスイッチと、第2相クロックパルス( $\phi 2$ )により導通するアナログスイッチとが同時に導通する状態が生じない範囲でできるだけ狭めてあることを特徴とするスイッチトキャパシタ回路で構成されたローパスフィルタ。

**【請求項 3】**

前記第1相クロックパルス( $\phi 1$ )とそれに続く第2相クロックパルス( $\phi 2$ )との時間間隔を、第1相クロックパルス( $\phi 1$ )により導通するアナログスイッチと、第2相ク

ロックパルス ( $\phi 2$ ) により導通するアナログスイッチとが同時に導通する状態が生じない範囲で高温時の洩れ電流による影響を受けない時間以内としたことを特徴とする請求項 1 又は 2 に記載のスイッチトキャパシタ回路で構成されたローパスフィルタ。

【請求項 4】

前記第 1 相クロックパルス ( $\phi 1$ ) とそれに続く第 2 相クロックパルス ( $\phi 2$ ) との時間間隔を、 $0.6 \mu s$  ないし  $2 \mu s$  の範囲の時間としたことを特徴とする請求項 1 又は 2 に記載のスイッチトキャパシタ回路で構成されたローパスフィルタ。

【請求項 5】

前記第 1 相クロックパルス ( $\phi 1$ ) とそれに続く第 2 相クロックパルス ( $\phi 2$ ) との時間間隔を、第 1 相クロックパルス ( $\phi 1$ ) により導通するアナログスイッチと、第 2 相クロックパルス ( $\phi 2$ ) により導通するアナログスイッチとが同時に導通する状態が生じず、且つ該時間間隔内に前記第 1 のキャパシタの充電電圧が変化した割合が前記ローパスフィルタの直流利得についての所定の許容誤差率と等しくなる時間より短く設定したことを特徴とする請求項 1 又は 2 に記載のスイッチトキャパシタ回路で構成されたローパスフィルタ。

【請求項 6】

半導体基板の一部を薄肉にして形成したダイアフラムの表面に、該ダイアフラムに圧力が加わった場合に抵抗が増加する 2 つのピエゾ抵抗素子 (G 1、G 2) と、反対に抵抗が減少する 2 つのピエゾ抵抗素子 (G 3、G 4) とを設け、それらを同じ抵抗変化を生ずるもの同士が隣り合わないようブリッジ接続し、隣り合わない 2 つの相互接続端子に定電流又は定電圧を印加して残り 2 つの相互接続端子間に生ずる差電圧を差動増幅回路で増幅し、該増幅された電圧を請求項 1 ないし 5 の何れかに記載のスイッチトキャパシタ回路で構成されたローパスフィルタの前記入力端子と前記演算増幅器 (OP 1) の非反転入力端子との間に入力し、該ローパスフィルタの出力信号により前記ダイアフラムに加わった圧力を検出するようにしたことを特徴とする半導体圧力センサ装置。

## 【書類名】明細書

【発明の名称】ローパスフィルタ及びそれを使用した半導体圧力センサ装置

## 【技術分野】

【0001】

本発明は、スイッチトキャパシタ (Switched Capacitor) 回路で構成されたローパスフィルタ及び、それを組み込んだ半導体圧力センサ装置に関する。

## 【背景技術】

【0002】

半導体圧力センサは、その小型、高性能性が評価されて自動車エンジンの吸気管、排気管内の圧力検出等、自動車用以外ではガスメータ用途などに幅広く採用されている。一般に半導体圧力センサは応答性が良いため、高速の圧力変動の検出には都合が良いが、高周波成分を除いた平均的圧力変動を検出したいような場合には、この高速応答性が返って逆効果になる。従って、そのような場合には検出した値を、ローパスフィルタを通すことによって高周波成分を取り除き、目的とする低周波成分のみを取り出すことが行なわれる。

【0003】

図7は、半導体圧力センサ1で検出した信号を差動増幅回路2で増幅した後、ローパスフィルタ3を通すことによって低周波成分のみを検出する従来の半導体圧力センサ装置の一例である。半導体圧力センサ1は、例えば、シリコン基板の一部を薄肉にしてダイアフラムを形成し、その表層部にピエゾ抵抗素子(歪み抵抗ゲージ)G1~G4を形成したものである。ダイアフラムに圧力が加わると歪みが生じ、ピエゾ抵抗素子G1~G4の抵抗値が変化する。ピエゾ抵抗素子G1~G4はブリッジ接続され、ダイアフラムへの圧力に応じて、例えばピエゾ抵抗素子G2とG3の相互接続点の電位Vp1は増加し、ピエゾ抵抗素子G1とG4の相互接続点の電位Vp2は低下するようにしてある。

【0004】

相互接続点の電位Vp1、Vp2は、差動増幅回路2に入力されて増幅され、差電圧(Vp1-Vp2)に比例する電圧Voが出力される。出力電圧Voは高周波成分を含むため、ローパスフィルタ3を通すことによって高周波成分が取り除かれ、低周波成分のみの出力電圧Voutが得られる。

ここで、ローパスフィルタ3としては、半導体集積回路上に形成することができるスイッチトキャパシタ回路で構成したローパスフィルタが通常、採用される。ローパスフィルタ3に使用されているスイッチS11、S12、S13は、2相クロックパルスφ1、φ2の第1相クロックパルスφ1が印加されている間のみ導通するアナログスイッチであり、スイッチS24、S25、S26は第2相クロックパルスφ2が印加されている間のみ導通するアナログスイッチである。図8に、2相クロックパルスφ1、φ2の従来の波形とタイミングを示す。これは2相クロックパルスφ1、φ2の周波数が150kHzの場合の波形の例である。

【0005】

アナログスイッチS11~13、S24~26が図8に示す2相クロックパルスφ1、φ2によりスイッチング動作をすると、ローパスフィルタ3は図6に示す等価回路と同じ動作を行なう。この等価回路の抵抗R1、R2の値、及び低周波カットオフ周波数fcは次の式で表わされる。

$$R1 = 1 / (fs \cdot C1) \quad (1) \text{ 式}$$

$$R2 = 1 / (fs \cdot C2) \quad (2) \text{ 式}$$

$$fc = 1 / (2\pi \cdot R2 \cdot C3) = fs \cdot C2 / (2\pi \cdot C3) \quad (3) \text{ 式}$$

ここで、fsは2相クロックパルスφ1、φ2の周波数である。

【0006】

通常の半導体圧力センサ装置では、カットオフ周波数fcとして100~400Hz程度が必要とされる。例えば、カットオフ周波数fcを100Hzにする場合には、C2=0.25pF、C3=60pF、fs=150kHzとすればよい。この数値は半導体集積回路上で実現するには無理のない数値である。

しかし、カットオフ周波数  $f_c$  として  $1\text{ Hz}$  程度の低い周波数が必要とされる場合を考えると、2相クロックパルスの周波数  $f_s$  とキャパシタ  $C_2$  の値を上記数値例と同じにしたのでは、キャパシタ  $C_3$  の値を  $6000\text{ pF}$  にしなければならないことになる。この容量は、半導体集積回路上で実現するには实际的でない値である。従って、半導体集積回路上で  $1\text{ Hz}$  のカットオフ周波数  $f_c$  を実現しようとする場合には、2相クロックパルス  $\phi_1$ 、 $\phi_2$  の周波数  $f_s$  を  $100$  分の  $1$  の  $1.5\text{ kHz}$  程度まで下げる手段を考える必要がある。

#### 【0007】

ここで、2相クロックパルス  $\phi_1$ 、 $\phi_2$  の1周期を、 $\phi_1$ 、 $\phi_2$  の位相関係により図8に示すように相1、相2、相3、相4の4つの相に分け、それら各相における図7中のスイッチトキャパシタ回路で構成されたローパスフィルタ3の動作を考察する。まず相1においては、各アナログスイッチの状態は図5の(1)に示すようになり、キャパシタ  $C_1$  は入力電圧  $V_o$  に充電され、反対にキャパシタ  $C_2$  は放電して充電電荷はゼロになる。キャパシタ  $C_3$  の充電電荷は変化しない。

#### 【0008】

続く相2においては、図5の(2)に示すように全てのアナログスイッチがOFFするため、各キャパシタは充電も放電もせず、相1が終了する直前の充電電圧を維持する。

続く相3においては、各アナログスイッチの状態は図5の(3)に示すようになり、キャパシタ  $C_2$ 、 $C_3$  は並列接続となり、キャパシタ  $C_1$  は演算増幅器OP1の反転入力端子と非反転入力端子との間に接続された状態となる。演算増幅器OP1の反転入力端子と非反転入力端子との電位は等しいため、キャパシタ  $C_1$  は放電し、その放電電流はキャパシタ  $C_2$ 、 $C_3$  を充電する。キャパシタ  $C_2$  は、最終的に演算増幅器OP1のその時点の出力電圧  $V_{out}$  まで充電される。キャパシタ  $C_3$  は、キャパシタ  $C_1$  の放電電流により充電された分だけ充電電圧が変化する。キャパシタ  $C_3$  の充電電圧と出力電圧  $V_{out}$  とは等しいので、出力電圧  $V_{out}$  もキャパシタ  $C_3$  の充電電圧が変化した分だけ変化する。

#### 【0009】

続く相4においては、図5の(4)に示すように、全てのアナログスイッチが相3と同じくOFFし、各キャパシタは相3の終了直前の充電電圧を維持する。

ここで問題になるのは、相2の期間中におけるキャパシタ  $C_1$ 、 $C_2$  の充電電圧の変化である。相2の開始直後におけるキャパシタ  $C_1$  の充電電荷は  $V_o \cdot C_1$ 、キャパシタ  $C_2$  の充電電荷はゼロである。キャパシタ  $C_1$ 、 $C_2$  は、半導体集積回路上での面積を小さくするために、通常  $1\text{ pF}$  あるいはそれ以下の非常に小さな容量に形成されている。容量がこのように小さな値であると、それらキャパシタの前後に接続されたアナログスイッチがOFF状態であったとしても、それらアナログスイッチの僅かな洩れ電流によって充電電圧は大きな影響を受ける。

#### 【0010】

ここで、アナログスイッチの洩れ電流とは、アナログスイッチがOFFしている状態におけるドレイン-ソース間の有限の抵抗値による洩れ電流、ドレイン、ソース電極下の領域と基板との間に存在するPN接合の逆方向洩れ電流などである。これらの洩れ電流の大きさは温度によって変化し、高温になる程、洩れ電流の値は大きくなる。

#### 【0011】

図8に示したカットオフ周波数  $f_c$  が  $100\text{ Hz}$  の場合の波形は、相2の期間が  $1.7\mu\text{s}$  と短いために洩れ電流による影響は殆ど無視できる。しかし、各キャパシタの容量をそのままにした状態で、カットオフ周波数  $f_c$  を  $1\text{ Hz}$  に下げる場合には、2相クロックパルス  $\phi_1$ 、 $\phi_2$  の周波数  $f_s$  を  $1.5\text{ kHz}$  に下げなければならない。そうすると、相2の期間は  $100$  倍の  $170\mu\text{s}$  にも長くなる。このように全てのアナログスイッチがOFFしている相2の期間が長くなると、キャパシタ  $C_1$ 、 $C_2$  の充電電荷は、前後に接続されたアナログスイッチの洩れ電流の影響を受けて変化する。その結果として、ローパスフィルタ3の低周波領域におけるゲイン及び(3)式で表わされるカットオフ周波数が変動するという問題が生ずる。

【特許文献1】特開2001-165797号公報

【特許文献2】特開2002-39888号公報

【発明の開示】

【発明が解決しようとする課題】

【0012】

本発明は、従来技術のこうした問題点を解決するためになされたもので、その課題は、スイッチトキャパシタ回路で構成したローパスフィルタにおいて、非常に低いカットオフ周波数を得るために2相クロックパルスの周波数を下げた場合においても、アナログスイッチの洩れ電流の影響を受けにくいローパスフィルタを提供すること、及びそれを組み込んだ半導体圧力センサ装置を提供することにある。

【課題を解決するための手段】

【0013】

前記課題を達成するための請求項1に記載の発明は、2相クロックパルスを構成する第1相クロックパルス( $\phi 1$ )と第2相クロックパルス( $\phi 2$ )とにより動作するスイッチトキャパシタ回路で構成されたローパスフィルタである。該ローパスフィルタは、第1相クロックパルス( $\phi 1$ )がON、第2相クロックパルス( $\phi 2$ )がOFFの状態においては、第1のキャパシタは入力電圧まで充電され、第2のキャパシタは電極間がゼロVまで放電され、第3のキャパシタは充放電しない動作を行う。続く第1相クロックパルス( $\phi 1$ )、第2相クロックパルス( $\phi 2$ )が共にOFFの状態においては、前記第1、第2、第3のキャパシタは何れも充放電しない動作を行う。続く第1相クロックパルス( $\phi 1$ )がOFF、第2相クロックパルス( $\phi 2$ )がONの状態においては、前記第2、第3のキャパシタは並列に接続され、前記第1のキャパシタは電極間がゼロVまで放電してその放電電流は並列接続された第2、第3のキャパシタを充電する動作を行う。続く第1相クロックパルス( $\phi 1$ )、第2相クロックパルス( $\phi 2$ )が共にOFFの状態においては、前記第1、第2、第3のキャパシタは何れも充放電しない動作を行う。その後は前記最初の状態の動作に戻って再び同じ動作を繰り返すように構成されたものである。その上で、前記2相クロックの第1相クロックパルス( $\phi 1$ )とそれに続く第2相クロックパルス( $\phi 2$ )との時間間隔を、第1相クロックパルス( $\phi 1$ )により導通するアナログスイッチと第2相クロックパルス( $\phi 2$ )により導通するアナログスイッチとが同時に導通する状態が生じない範囲でできるだけ狭めてあることを特徴とするスイッチトキャパシタ回路で構成されたローパスフィルタである。

【0014】

このように構成したことにより、第1相クロックパルス( $\phi 1$ )がON、第2相クロックパルス( $\phi 2$ )がOFFである状態に続く第1相クロックパルス( $\phi 1$ )、第2相クロックパルス( $\phi 2$ )とが共にOFF状態となる期間においては、第1、第2のキャパシタの充電電荷が、それらのキャパシタの前後に接続されたアナログスイッチの洩れ電流による影響を受けにくくなる。従って、ローパスフィルタの低周波領域におけるゲインやカットオフ周波数に誤差が生ずることが避けられる。

【0015】

また、請求項2に記載の発明は、スイッチトキャパシタ回路で構成されたローパスフィルタであって、演算増幅器と、第1、第2、第3のキャパシタと、2相クロックパルスの第1相クロックパルス( $\phi 1$ )がONの期間中のみ導通する第1、第2、第3のアナログスイッチと、2相クロックパルスの第2相クロックパルス( $\phi 2$ )がONの期間中のみ導通する第4、第5、第6のアナログスイッチとにより構成されている。演算増幅器(OP1)は単一の電源電圧(Vd)により動作する演算増幅器であって、その非反転入力端子には該電源電圧(Vd)の約1/2の基準電圧(Vref)が印加される。また、第1のアナログスイッチ(S11)は入力端子(N0)と相互接続ノードN1との間に、第4のアナログ(S24)は相互接続ノードN1と演算増幅器(OP1)の非反転入力端子との間に、第1のキャパシタ(C1)は相互接続ノードN1と相互接続ノードN2との間に、第2のアナログスイッチ(S12)は相互接続ノードN2と演算増幅器(OP1)の非反転

入力端子との間に、第5のアナログスイッチ(S25)は相互接続ノードN2と演算増幅器(OP1)の反転入力端子との間に、第2のキャパシタ(C2)は相互接続ノードN2と相互接続ノードN3との間に、第3のキャパシタ(C3)は演算増幅器(OP1)の反転入力端子と出力端子との間に、第3のアナログスイッチ(S13)は相互接続ノードN3と演算増幅器(OP1)の非反転入力端子との間に、第6のアナログスイッチ(S26)は相互接続ノードN3と演算増幅器(OP1)の出力端子との間にそれぞれ接続されており、出力信号は演算増幅器(OP1)の出力端子と非反転入力端子との間よりを取り出すように構成されている。その上で前記2相クロックパルスの第1相クロックパルス( $\phi 1$ )とそれに続く第2相クロックパルス( $\phi 2$ )との時間間隔を、第1相クロックパルス( $\phi 1$ )により導通するアナログスイッチと第2相クロックパルス( $\phi 2$ )により導通するアナログスイッチとが同時に導通する状態が生じない範囲でできるだけ狭めてあることを特徴とするスイッチトキャパシタ回路で構成されたローパスフィルタである。

**【0016】**

このように構成したことにより、請求項1に記載の発明の場合と同様に、第1相クロックパルス( $\phi 1$ )がON、第2相クロックパルス( $\phi 2$ )がOFFである状態に続く第1相クロックパルス( $\phi 1$ )、第2相クロックパルス( $\phi 2$ )とが共にOFF状態となる期間においては、第1、第2のキャパシタの充電電荷が、それらのキャパシタの前後に接続されたアナログスイッチの洩れ電流による影響を受けにくくなる。従って、ローパスフィルタの低周波領域におけるゲインやカットオフ周波数に誤差が生ずることが避けられる。

**【0017】**

また、請求項3に記載の発明は、前記第1相クロックパルス( $\phi 1$ )とそれに続く第2相クロックパルス( $\phi 2$ )との時間間隔を、第1相クロックパルス( $\phi 1$ )により導通するアナログスイッチと、第2相クロックパルス( $\phi 2$ )により導通するアナログスイッチとが同時に導通する状態が生じない範囲で高温時の洩れ電流による影響を受けない時間以内としたことを特徴とする請求項1又は2に記載のスイッチトキャパシタ回路で構成されたローパスフィルタである。

**【0018】**

第1相クロックパルス( $\phi 1$ )とそれに続く第2相クロックパルス( $\phi 2$ )との時間間隔をこのような時間に設定することで、アナログスイッチの洩れ電流がローパスフィルタの低周波領域におけるゲインとカットオフ周波数に与える悪影響を最小限に抑制することができる。

**【0019】**

また、請求項4に記載の発明は、前記第1相クロックパルス( $\phi 1$ )とそれに続く第2相クロックパルス( $\phi 2$ )との時間間隔を、 $0.6\mu s$ ないし $2\mu s$ の範囲の時間としたことを特徴とする請求項1又は2に記載のスイッチトキャパシタ回路で構成されたローパスフィルタである。

**【0020】**

第1相クロックパルス( $\phi 1$ )とそれに続く第2相クロックパルス( $\phi 2$ )との時間間隔をこのような時間範囲に設定すれば、第1のキャパシタに静電容量の小さいキャパシタを使用したとしてもアナログスイッチの洩れ電流に起因するその充電電圧の変化が最小限に抑えられる。従って、ローパスフィルタの低周波領域におけるゲインとカットオフ周波数が受ける悪影響も最小限に抑えられる。

**【0021】**

また、請求項5に記載の発明は、前記第1相クロックパルス( $\phi 1$ )とそれに続く第2相クロックパルス( $\phi 2$ )との時間間隔を、第1相クロックパルス( $\phi 1$ )により導通するアナログスイッチと、第2相クロックパルス( $\phi 2$ )により導通するアナログスイッチとが同時に導通する状態が生じず、且つ該時間間隔内に前記第1のキャパシタの充電電圧が変化した割合が前記ローパスフィルタの直流利得についての所定の許容誤差率と等しくなる時間より短く設定したことを特徴とする請求項1又は2に記載のスイッチトキャパシタ回路で構成されたローパスフィルタである。



## 【0022】

直流入力に対するローパスフィルタの直流利得の誤差は、主に第1相クロックパルス ( $\phi 1$ ) のON期間中に第1のキャパシタに充電された電荷が、どれだけ正確に第2相クロックパルス ( $\phi 2$ ) が開始するまで維持されるかにより大きく影響される。従って、第1のキャパシタの充電電圧が変化した割合が目標とする直流利得について定めた所定の許容誤差率と等しくなる時間より短い時間に、第1相クロックパルス ( $\phi 1$ ) と第2相クロックパルス ( $\phi 2$ ) との時間間隔を設定すれば、直流利得の誤差をほぼその所定の許容誤差率以下に納めることができる。

## 【0023】

また、請求項6に記載の発明は、半導体基板の一部を薄肉にして形成したダイアフラムの表面に、該ダイアフラムに圧力が加わった場合に抵抗が増加する2つのピエゾ抵抗素子 ( $G1$ 、 $G2$ ) と、反対に抵抗が減少する2つのピエゾ抵抗素子 ( $G3$ 、 $G4$ ) とを設け、それらを同じ抵抗変化を生ずるもの同士が隣り合わないようブリッジ接続し、隣り合わない2つの相互接続端子に定電流又は定電圧を印加して残り2つの相互接続端子間に生ずる差電圧を差動増幅回路で増幅し、該増幅された電圧を請求項1ないし5の何れかに記載のスイッチトキャパシタ回路で構成されたローパスフィルタの前記入力端子と前記演算増幅器 ( $OP1$ ) の非反転入力端子との間に入力し、該ローパスフィルタの出力信号により前記ダイアフラムに加わった圧力を検出するようにしたことを特徴とする半導体圧力センサ装置である。

## 【0024】

このように構成すれば、半導体圧力センサ部で検出した信号から高周波成分が除去され、低周波成分の圧力変動のみを精度よく検出することが可能になる。

【発明を実施するための最良の形態】

## 【0025】

図3は、本発明の一実施形態に係る半導体圧力センサ1の構成を示したものである。図3の(a)は平面図を、(b)は(a)中のA-A断面図である。また図1は、本発明の一実施形態に係る半導体圧力センサ装置の電氣的構成、及びその中で採用しているスイッチトキャパシタ回路で構成したローパスフィルタ3の回路構成を示したものである。また図2は、そのスイッチトキャパシタ回路で構成したローパスフィルタ3を駆動する2相クロックパルス  $\phi 1$ 、 $\phi 2$  の波形とタイミングを示したものである。各図中、従来の技術の項で説明した構成要素と同一又は相当部分には同一の符号が付してある。

## 【0026】

図3に示すように、半導体圧力センサ1は、シリコン基板4の上に形成される。シリコン基板4は、P型シリコン基板4aの上にN型エピタキシャル層4bを成長させたものである。P型シリコン基板4aの中央部は薄肉に形成されており、表層に形成されたN型エピタキシャル層4bと共に薄肉のダイアフラム5を構成している。

薄肉のダイアフラム5の表層部には、P型不純物を拡散させることによってピエゾ抵抗素子  $G1 \sim G4$  が形成されている。ダイアフラム5に圧力が加わった場合には、ダイアフラム5及びピエゾ抵抗素子  $G1 \sim G4$  に歪みが生じ、例えばピエゾ抵抗素子  $G1$ 、 $G2$  の抵抗は高くなり、 $G3$ 、 $G4$  の抵抗は低くなるように形成されている。これらのピエゾ抵抗素子  $G1 \sim G4$  は、図1の半導体圧力センサ1部に示すようにブリッジ回路を構成するように接続されている。

## 【0027】

ブリッジ回路におけるピエゾ抵抗素子  $G1$  と  $G3$  の相互接続点には、定電流源6より定電流  $I_a$  が供給され、ピエゾ抵抗素子  $G2$  と  $G4$  の相互接続点は接地されている。このような回路構成の下でダイアフラム5に圧力が加わると、ピエゾ抵抗素子  $G2$  と  $G3$  の相互接続点の電位  $V_{p1}$  は上昇し、ピエゾ抵抗素子  $G1$  と  $G4$  の相互接続点の電位  $V_{p2}$  は下降する。そして、その差電圧 ( $V_{p1} - V_{p2}$ ) は、ダイアフラム5に加えられた圧力にほぼ比例した値となる。

## 【0028】

差電圧 ( $V_{p1} - V_{p2}$ ) は、差動増幅回路 2 にて増幅され出力に電圧  $V_o$  を生成する。差動増幅回路には種々の回路形式があるが、図 1 中に示した差動増幅回路 2 は、2 個の演算増幅器 OP 2、OP 3 と 4 個の抵抗  $R_3 \sim R_6$  を使用した回路である。前記相互接続点の電位  $V_{p1}$ 、 $V_{p2}$  は、それぞれ演算増幅器 OP 2、OP 3 の非反転入力端子に入力される。抵抗  $R_3 \sim R_6$  は、演算増幅器 OP 2 の出力端子と接地電位より基準電圧 ( $V_{ref}$ ) だけ高い電圧に維持された相互接続ノード  $N_{Vref}$  との間に直列に接続される。抵抗  $R_3$  の両端は演算増幅器 OP 2 の出力端子と反転入力端子との間にも接続される。抵抗  $R_5$  の両端は演算増幅器 OP 3 の出力端子と反転入力端子との間にも接続される。抵抗  $R_6$  の一端は相互接続ノード  $N_{Vref}$  に接続される。演算増幅器 OP 2 の出力端子と相互接続ノード  $N_{Vref}$  との間の電圧が差動増幅回路 2 の出力電圧  $V_o$  である。抵抗  $R_3 \sim R_6$  の抵抗値を全て等しくしたとすると、出力電圧  $V_o$  は  $2(V_{p1} - V_{p2})$  となる。

#### 【0029】

差動増幅回路 2 の出力電圧  $V_o$  は、スイッチトキャパシタ回路で構成したローパスフィルタ 3 に入力される。このローパスフィルタ 3 の回路構成は、図 7 の従来回路構成中に記載した構成と同じである。即ち、演算増幅器 OP 1 と、第 1、第 2、第 3 のキャパシタ  $C_1$ 、 $C_2$ 、 $C_3$  と、2 相クロックパルス  $\phi_1$ 、 $\phi_2$  の第 1 相クロックパルス  $\phi_1$  が ON の期間中のみ導通する第 1、第 2、第 3 のアナログスイッチ  $S_{11}$ 、 $S_{12}$ 、 $S_{13}$  と、第 2 相クロックパルス  $\phi_2$  が ON の期間中のみ導通する第 4、第 5、第 6 のアナログスイッチ  $S_{24}$ 、 $S_{25}$ 、 $S_{26}$  とにより構成されている。

#### 【0030】

演算増幅器 OP 1 は単一の電源電圧  $V_d$  により動作する演算増幅器である。その非反転入力端子は前記相互接続ノード  $N_{Vref}$  に接続されている。相互接続ノード  $N_{Vref}$  には電源電圧  $V_d$  の約  $1/2$  の基準電圧  $V_{ref}$  が印加されている。このような基準電圧を印加するのは、演算増幅器 OP 1 を単一電源で動作させるためである。演算増幅器 OP 1 を正、負の 2 電源で動作させる場合には、基準電圧  $V_{ref}$  は  $0V$  として接地電位と同じにすればよい。

#### 【0031】

また、第 1 のアナログスイッチ  $S_{11}$  は入力端子  $N_0$  と相互接続ノード  $N_1$  との間に、第 4 のアナログ  $S_{24}$  は相互接続ノード  $N_1$  と演算増幅器 OP 1 の非反転入力端子との間に、第 1 のキャパシタ  $C_1$  は相互接続ノード  $N_1$  と相互接続ノード  $N_2$  との間に、第 2 のアナログスイッチ  $S_{12}$  は相互接続ノード  $N_2$  と演算増幅器 OP 1 の非反転入力端子との間に、第 5 のアナログスイッチ  $S_{25}$  は相互接続ノード  $N_2$  と演算増幅器 OP 1 の反転入力端子との間に、第 2 のキャパシタ  $C_2$  は相互接続ノード  $N_2$  と相互接続ノード  $N_3$  との間に、第 3 のキャパシタ  $C_3$  は演算増幅器 OP 1 の反転入力端子と出力端子との間に、第 3 のアナログスイッチ  $S_{13}$  は相互接続ノード  $N_3$  と演算増幅器 OP 1 の非反転入力端子との間に、第 6 のアナログスイッチ  $S_{26}$  は相互接続ノード  $N_3$  と演算増幅器 OP 1 の出力端子との間にそれぞれ接続されている。出力信号は演算増幅器 (OP 1) の出力端子と非反転入力端子との間よりを取り出すように構成されている。

#### 【0032】

その上で前記 2 相クロックパルスの第 1 相クロックパルス ( $\phi_1$ ) とそれに続く第 2 相クロックパルス ( $\phi_2$ ) との時間間隔を、第 1 相クロックパルス ( $\phi_1$ ) により導通するアナログスイッチと第 2 相クロックパルス ( $\phi_2$ ) により導通するアナログスイッチとが同時に導通する状態が生じない範囲でできるだけ狭めてあることを特徴とするスイッチトキャパシタ回路で構成されたローパスフィルタである。

#### 【0033】

ここで、アナログスイッチ  $S_{11}$ 、 $S_{12}$ 、 $S_{13}$  は、2 相クロックパルス  $\phi_1$ 、 $\phi_2$  の第 1 相クロックパルス  $\phi_1$  が印加されている間 (ON の間) のみ導通するアナログスイッチであり、 $S_{24}$ 、 $S_{25}$ 、 $S_{26}$  は第 2 相クロックパルス  $\phi_2$  が印加されている間 (ON の間) のみ導通するアナログスイッチである。

第 1 相クロックパルス  $\phi_1$  が ON で第 2 相クロックパルス  $\phi_2$  が OFF である相 1 の期

間（図2参照）においては、回路の接続状態は図5の（1）に示すようになる。キャパシタC1は入力電圧 $V_o$ まで充電され、反対にキャパシタC2は放電して充電電荷はゼロになる。キャパシタC3の充電電圧は変化しない。

#### 【0034】

相1に続く相2においては、図5の（2）に示すようアナログスイッチは全てOFFし、各キャパシタは相1が終了する直前の充電電圧を維持する。

続く相3においては、第1相クロックパルス $\phi_1$ はOFFし第2相クロックパルス $\phi_2$ がONするので回路の接続状態は図5の（3）に示すようになる。キャパシタC2、C3は並列接続された状態となり、キャパシタC1は演算増幅器OP1の反転入力端子と非反転入力端子との間に接続された状態となる。

#### 【0035】

演算増幅器OP1の反転入力端子の電位は非反転入力端子と等しくなるため、キャパシタC1は放電し、その放電電流はキャパシタC2、C3を充電する。キャパシタC2にはキャパシタC1の放電電流が流れ込むと同時に、演算増幅器OP1の出力端子からの充電電流も流れ込み、キャパシタC2は最終的にキャパシタC3の充電電圧と同じ電圧まで充電される。キャパシタC3は、キャパシタC1の放電電流により充電された分だけ充電電圧が上昇、または下降する。キャパシタC3の充電電圧と出力電圧 $V_{out}$ とは等しいので、出力電圧 $V_{out}$ もキャパシタC3の充電電圧が変化した分だけ変化する。

#### 【0036】

続く相4においては、図5の（4）に示すように相3の場合と同じく全てのアナログスイッチがOFFし、各キャパシタは相3の終了直前の充電電圧を維持する。

本実施形態におけるローパスフィルタ3の回路構成と2相クロックパルス $\phi_1$ 、 $\phi_2$ に基づく動作は、従来技術の項で説明したローパスフィルタ3と同じである。しかし本実施形態の場合は、2相クロックパルス $\phi_1$ 、 $\phi_2$ の位相関係が前述した従来技術の場合のタイミング（図8）と相違する。本実施形態の2相クロックパルス $\phi_1$ 、 $\phi_2$ の波形とタイミングは図2に示した通りである。

#### 【0037】

カットオフ周波数 $f_c$ が1Hzといった低い周波数となるローパスフィルタを実現しようとする場合、従来技術では図8に示した波形（基本クロックパルスの周波数は150kHz）のまま、基本クロックパルスの周波数を1.5kHzに下げた。このようにすると、相2の期間が170 $\mu$ sと長くなり、キャパシタC1、C2の充電電荷が前後に接続されたアナログスイッチの洩れ電流の影響を受けてその間に変化してしまう。その結果、ローパスフィルタ3の低周波領域におけるゲイン及び（3）式で表わされるカットオフ周波数 $f_c$ に誤差が生じてしまうという問題が生じた。

#### 【0038】

これに対して、本実施形態の場合には図2に示すように、クロックパルス $\phi_1$ 、 $\phi_2$ の周波数は共に150Hzと低くする。それと同時に、クロックパルス $\phi_1$ がOFFした後、極めて短時間をおいただけで直ぐにクロックパルス $\phi_2$ が立ち上がるようにタイミングを変更した。即ち、相2の期間を非常に短くした。相2の期間は、クロックパルス $\phi_1$ 、 $\phi_2$ によりそれぞれ導通するアナログスイッチの導通期間が重ならない範囲の最小時間が確保されればよく、可能な限りその最小時間に近いことが望ましい。具体的には、アナログスイッチの高温時の洩れ電流による影響を受けない時間以内にすればよく、目安としては、アナログスイッチとして高速のMOSトランジスタを使用する場合には、0.6～2 $\mu$ s程度確保すれば十分である。

#### 【0039】

相2の期間は、また次のような基準で決めてもよい。ローパスフィルタ3の入出力信号の比率、即ち、直流利得の目標値に対する誤差は、主としてこの相2の期間中にキャパシタC1、C2に充電されていた電荷がどれだけ漏れにより変動するかによって殆ど決定される。従って、例えばキャパシタC1の電荷あるいはその充電電圧の相2の期間中における変動割合が、ローパスフィルタ3の目標とする直流利得について予め定めた所定の許容

誤差率（例えば、3%）に等しくなる時間より短い時間に相2の期間を設定すれば、直流利得の誤差をほぼその所定の許容誤差率（3%）以下に納めることができる。キャパシタC1の充電電圧の変動割合がこの許容誤差率（3%）に等しくなる時間は、相2の期間中におけるキャパシタC1の充電電圧の変化の測定、あるいはアナログスイッチの漏れ電流の測定により把握することができる。

#### 【0040】

このように相2の期間を短く設定すれば、相2の期間中におけるアナログスイッチの洩れ電流による影響は殆ど無視できる程度に抑えられる。その結果、ローパスフィルタ3の低周波領域におけるゲイン、及び（3）式で表わされるカットオフ周波数 $f_c$ に誤差や変動が生ずるという問題が解決されることになる。

図2に示したようなタイミングの2相クロックパルス $\phi_1$ 、 $\phi_2$ は、例えば図4に示した回路で発生させることができる。即ち、基本クロック生成回路7で1.5kHzの基本クロックパルスを生成し、2ビットの2進カウンタ8に入力して計数する。2進カウンタ8の2の0乗の出力をインバータQ1で反転した信号と2の1乗の出力とを2入力AND回路Q2に入力する。2入力AND回路Q2の出力には、2進カウンタ8の計数値が2の時にパルスが現れる。このパルスをクロックパルス $\phi_1$ として使用する。

#### 【0041】

同じく、2進カウンタ8の2の0乗の出力と、2の1乗の出力を2入力AND回路Q3に入力する。2入力AND回路Q3の出力には、2進カウンタ8の計数値が3の時にパルスが現れる。そのパルスを遅延回路9にて約1 $\mu$ s遅らせ、遅らせたパルスをクロックパルス $\phi_2$ として使用する。このようにすれば図2に示したようなタイミングのクロックパルス $\phi_1$ 、 $\phi_2$ を生成することができる。

#### 【0042】

以上の説明から明らかなように、本実施形態の構成によれば、アナログスイッチの洩れ電流の影響を殆ど受けることのない、非常に低いカットオフ周波数を持つスイッチトキャパシタ回路で構成したローパスフィルタを実現することができる。そして、そのローパスフィルタを採用することで、高い周波成分が重畳した圧力変動の中から、非常に低い周波数成分の圧力変動のみを検出することのできる半導体圧力センサ装置を実現することが可能になる。

#### 【図面の簡単な説明】

#### 【0043】

【図1】本発明の一実施形態に係る半導体圧力センサ装置の電氣的構成図である。

【図2】本発明に係るスイッチトキャパシタ回路で構成したローパスフィルタの2相クロックパルスのタイミングチャートである。

【図3】本発明の一実施形態に係る半導体圧力センサ装置のセンサ部の構成例である。

【図4】本発明に係る2相クロックパルスを生成する回路例である。

【図5】本発明に係るスイッチトキャパシタ回路で構成したローパスフィルタの動作を説明する図である。

【図6】本発明に係るスイッチトキャパシタ回路で構成したローパスフィルタの等価回路である。

【図7】従来技術を示す図1相当図である。

【図8】従来技術を示す図2相当図である。

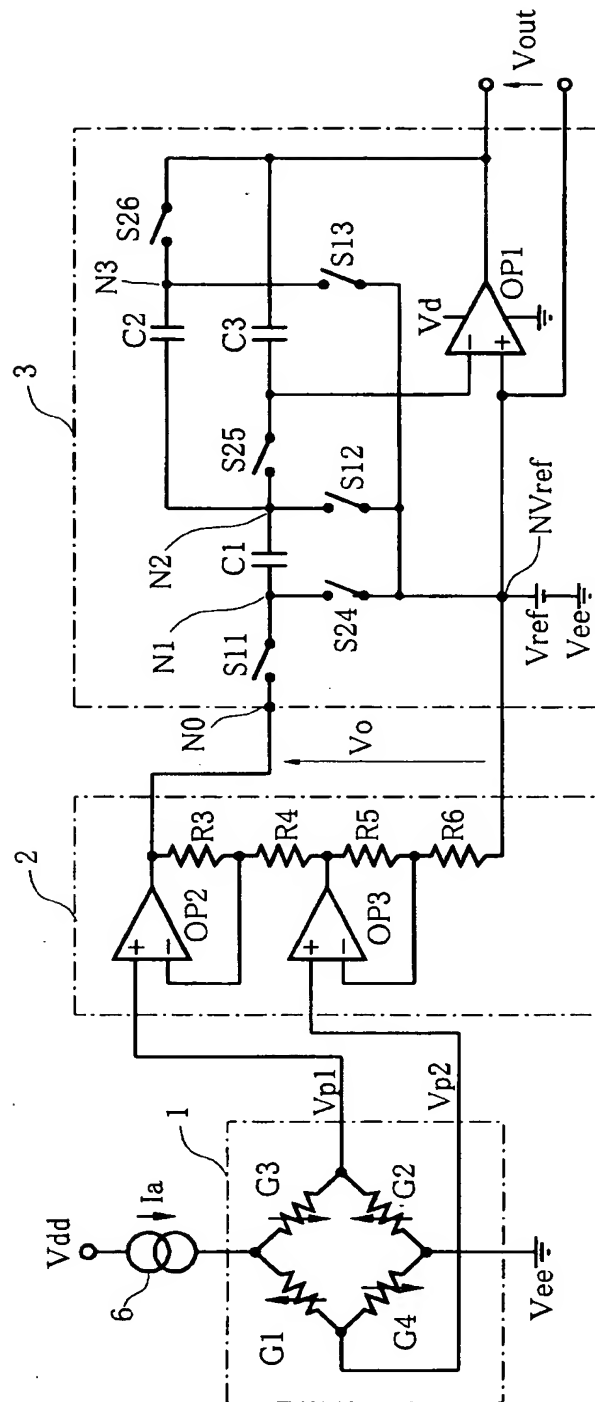
#### 【符号の説明】

#### 【0044】

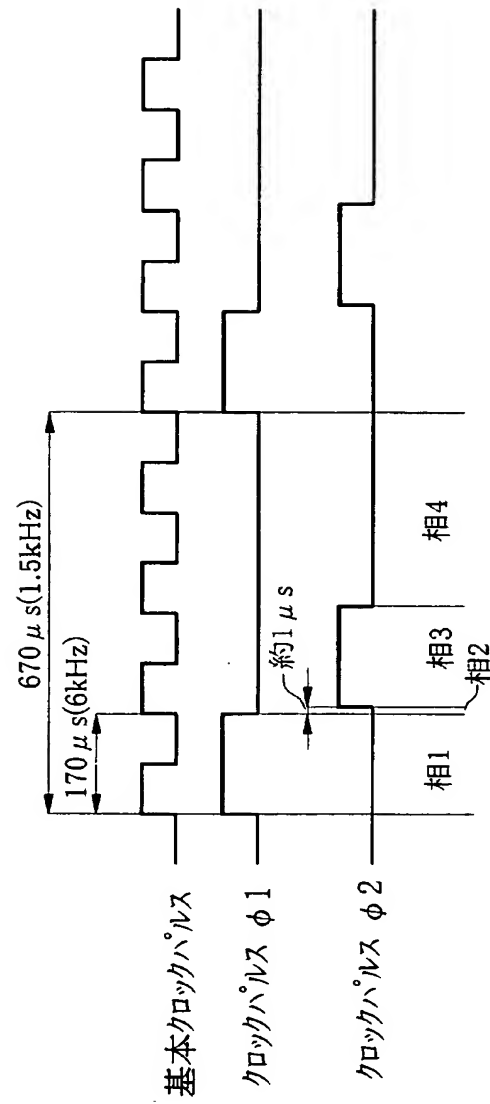
図面中、1は半導体圧力センサ部、2は差動増幅回路、3はスイッチトキャパシタ回路で構成したローパスフィルタ、4は半導体基板、5はダイアフラム、6は定電流源、C1は第1のキャパシタ、C2は第2のキャパシタ、C3は第3のキャパシタ、G1、G2、G3、G4はピエゾ抵抗素子、N0は入力端子、N1、N2、N3、N<sub>Vref</sub>は相互接続ノード、OP1、OP2、OP3は演算増幅器、S11は第1のアナログスイッチ、S1

2 は第 2 のアナログスイッチ、S 1 3 は第 3 のアナログスイッチ、S 2 4 は第 4 のアナログスイッチ、S 2 5 は第 5 のアナログスイッチ、S 2 6 は第 6 のアナログスイッチ、V<sub>o</sub> はローパスフィルタの入力信号（差動増幅回路の出力信号）、V<sub>out</sub> は出力信号、 $\phi$  1 は第 1 相クロックパルス、 $\phi$  2 は第 2 相クロックパルスを示す。

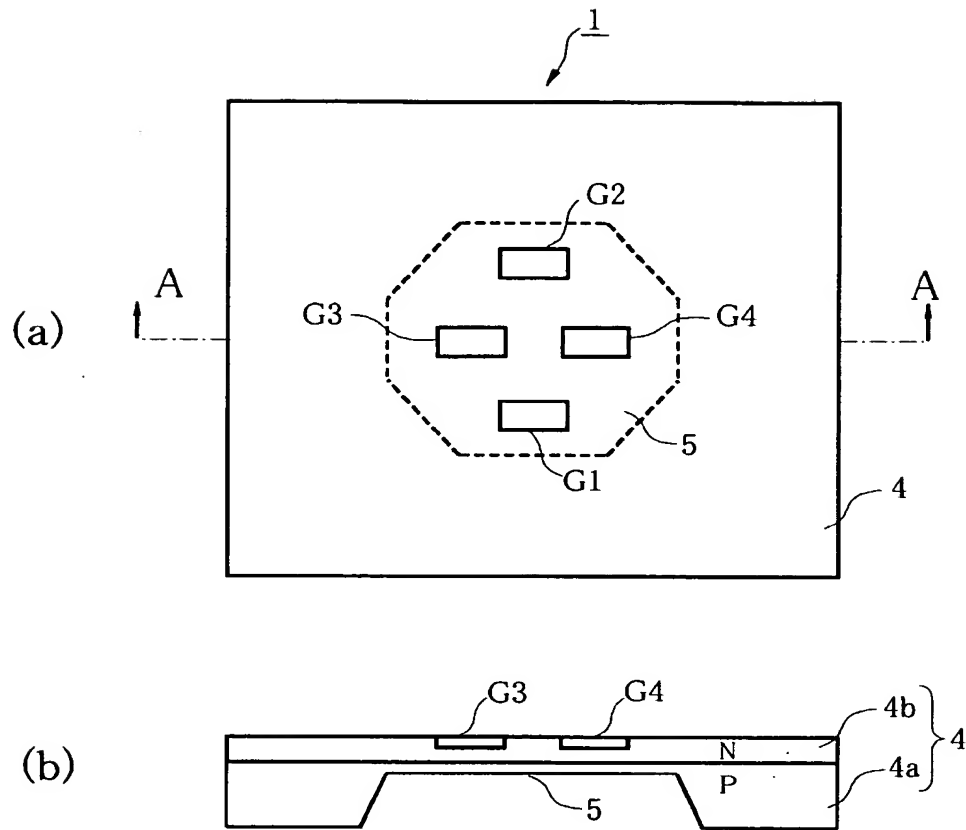
【書類名】 図面  
【図 1】



【図 2】

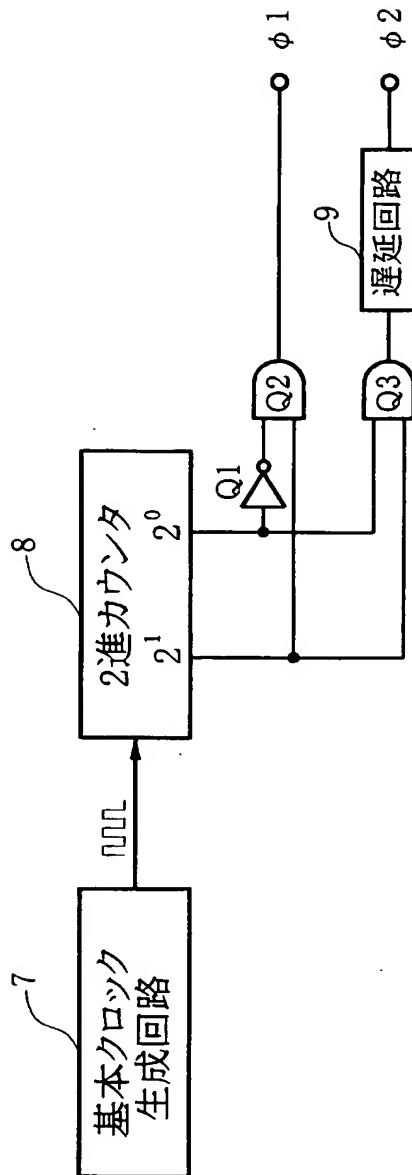


【図 3】

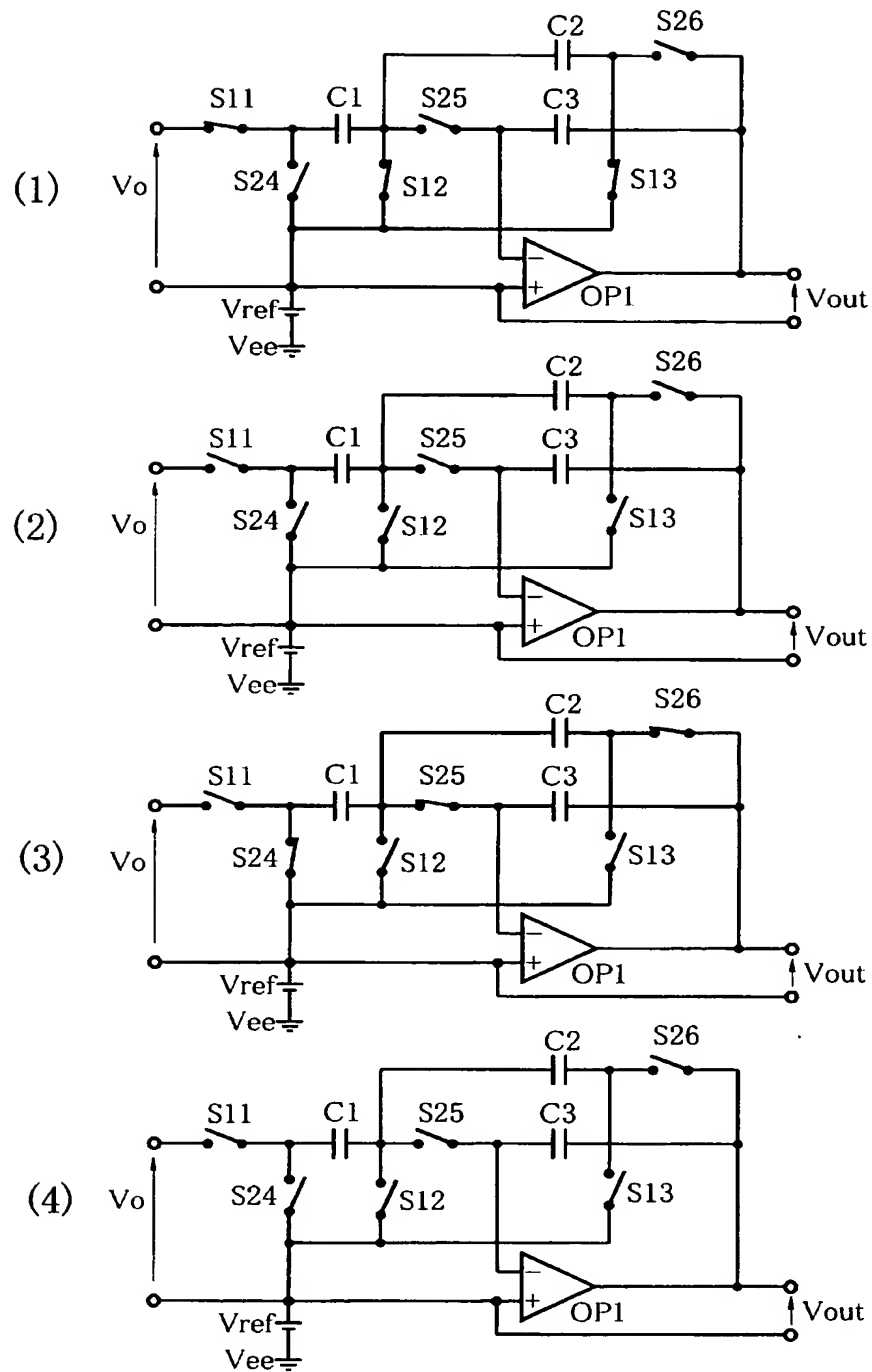




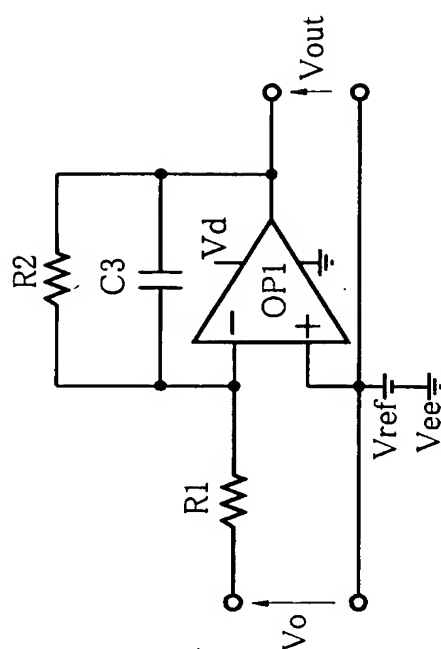
【図 4】



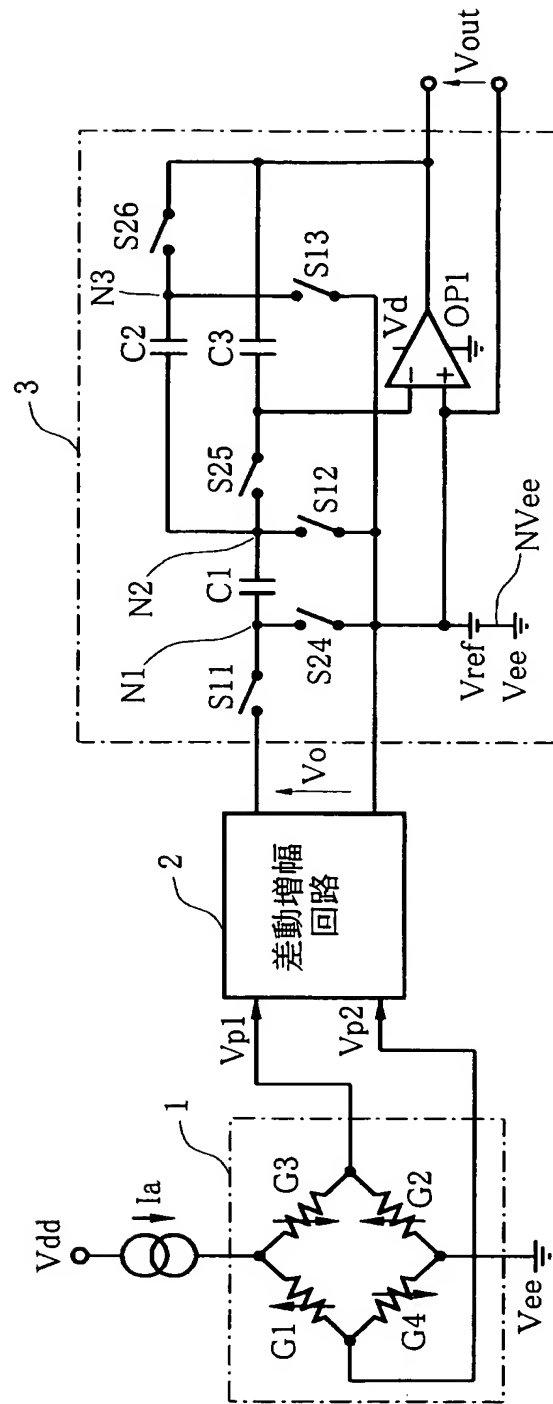
【図 5】



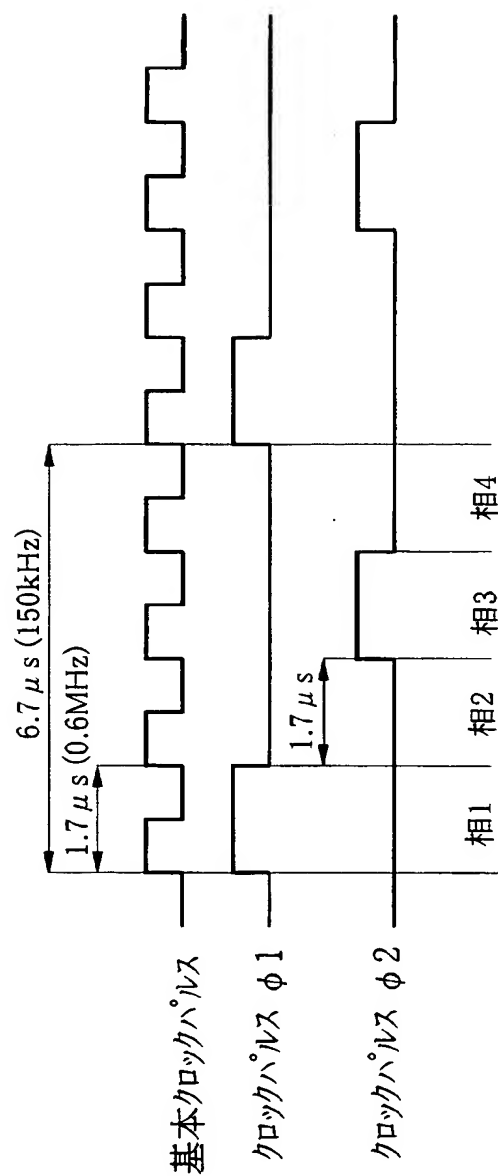
【図 6】



【図 7】



【図 8】



**【書類名】 要約書****【要約】**

**【課題】** アナログスイッチの洩れ電流の影響を受けることのない非常に低周波のカットオフ周波数を有するスイッチトキャパシタ回路で構成したローパスフィルタ、及びそれを使用した半導体圧力センサ装置を提供する。

**【解決手段】** 2相クロックパルスのクロックパルス  $\phi 1$  の期間中は第1のキャパシタは入力電圧で充電、第2のキャパシタは放電、第3のキャパシタは充放電停止させ、クロックパルス  $\phi 2$  の期間中は第1のキャパシタに蓄積された電荷により並列接続状態にある第2、第3のキャパシタが充電されるように動作するスイッチトキャパシタ回路を構成し、クロックパルス  $\phi 1$ 、 $\phi 2$  の位相関係を、クロックパルス  $\phi 1$  の終了後、短い時間間隔においてクロックパルス  $\phi 2$  が立ち上がるようにする。

**【選択図】 図1**

特願 2 0 0 3 - 4 2 9 8 2 8

出 願 人 履 歴 情 報

識別番号

[ 0 0 0 0 0 4 2 6 0 ]

1. 変更年月日

1 9 9 6 年 1 0 月 8 日

[変更理由]

名称変更

住 所

愛知県刈谷市昭和町 1 丁目 1 番地

氏 名

株式会社デンソー